



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04093069 A**

(43) Date of publication of application: 25 . 03 . 92

(51) Int. Cl.

H01L 27/108
H01L 27/04(21) Application number: **02211217**

(22) Date of filing: 09 . 08 . 90

(71) Applicant: **NEC CORP**(72) Inventor: **HAYANO HITONORI**

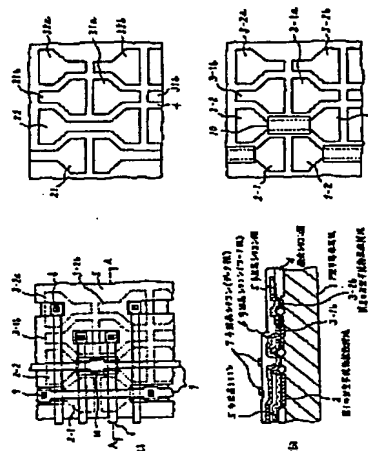
(54) SEMICONDUCTOR MEMORY

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To prevent insulation breakdown of a gate insulating film by providing a first impurity diffused region for forming a memory cell, a second impurity diffused region formed substantially in the same shape as the first region adjacently thereto, and connecting the second region to a word line.

CONSTITUTION: A P-type semiconductor substrate is selectively oxidized, and element forming regions 21, 22, dummy diffused layer forming regions 31a, 31b, 32a, 32b are partitioned by oxide silicon films 4. With a photoresist film 10 and the film 4 as masks first N-type impurity diffused layers 2-1, 2-2, second N-type impurity diffused layers 3-1a, 3-1b, 3-2a, 3-2b are formed by ion implanting. After a contact hole 8 is formed, it is covered with a polycrystalline silicon film 6, and patterned to form a word line. Necessary heat treatment is conducted, covered with a polycrystalline silicon film 7, patterned to form a data line. Since the word line is connected to the second N-type impurity diffused region, damage of a gate oxide film is prevented.



⑫ 公開特許公報(A) 平4-93069

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月25日

H 01 L 27/108
27/04

A

7514-4M
8624-4M

H 01 L 27/10

3 2 5 N

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 平2-211217

⑯ 出 願 平2(1990)8月9日

⑰ 発 明 者 早 野 仁 紀

東京都港区芝5丁目7番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社

東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半 導 体 記 憶 装 置

特 許 請 求 の 範 囲

一導電型の半導体基板上に、前記半導体基板とは反対導電型の第1の不純物拡散領域により形成されたメモリセルを複数個、行列状に配列したメモリセルアレイ領域を有し、前記メモリセルアレイ領域内に、一方向に延在する複数のワード線と、前記ワード線に直交する方向に延在する複数のデータ線とを設けた半導体記憶装置に於いて、前記メモリセルアレイ領域の外側に、前記メモリセルを形成する第1の不純物拡散領域と同一導電型で且つ、前記第2の不純物拡散領域とほぼ同一の形状をした第2の不純物拡散領域を前記第2の不純物拡散領域に隣接するように設けるとともに、前記第2の不純物拡散領域と前記ワード線とを接続したことを特徴とする半導体記憶装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体記憶装置に関し、特に半導体記憶装置のメモリセルアレイ領域のレイアウトの改良に関する。

〔従来の技術〕

従来の半導体記憶装置、特に1トランジスタ型ダイナミックランダムアクセスメモリ(DRAM)に於いては、メモリセルのワード線を一方向に延在する多結晶シリコン膜で構成することが行なわれている。このような構成にするのは、メモリセルの形成が簡単であるという理由からであるが、近年、メモリセルを構成するスイッチング用のMOS型トランジスタ部分での不具合が問題となってきた。

すなわち、半導体記憶装置の高集積化によりスイッチング用MOS型トランジスタのゲート酸化膜が薄膜化し、このことによるゲート酸化膜の絶縁破壊が問題となってきた。前記絶縁破壊の

原因の一つとして、ゲート酸化膜の薄膜化に伴い、ゲート酸化膜の絶縁耐圧が下がっていることがあるが、これに加えて製造工程中の荷電粒子の照射によりMOS型トランジスタのゲートを形成している多結晶シリコン膜の帯電が考えられる。

たとえば、Nチャネルトランジスタのソース領域、ドレイン領域形成のためのイオン注入工程を考える。トランジスタのゲートを形成する多結晶シリコン膜をパターンニングした後、Nチャネルトランジスタにヒ素をイオン注入することでソース領域、ドレイン領域を形成するのだが、この時、シリコン膜にもヒ素のイオンが注入され、その結果多結晶シリコン膜が帯電するのである。しかも、メモリセルの場合、ワード線を構成している多結晶シリコン膜はメモリセルアレイ領域内に延在するように設けられており、1本のワード線の総ゲート面積は4メガビットDRAMでは1000~2000 μm^2 にも達し、メモリセルアレイ領域の外側に設けられている一般の回路のトランジスタのゲート面積よりはるかに大きい。このた

-3-

第4図(a)及び(b)において、2はP型半導体基板1の表面に設けられた第1のN型不純物拡散領域であり、多結晶シリコン膜5との間でメモリセルの容量を形成している。6はメモリセルアレイ領域内に延在する多結晶シリコン膜でワード線を形成しており、7-1、7-2はワード線6に直交するように設けられた多結晶シリコン膜でデータ線を形成している。そして、メモリセルアレイ領域の外側に第2のN型不純物拡散領域3を設け、ワード線6とコンタクト孔8により接続されている。更にこの時第2のN型不純物拡散領域3とP型半導体基板1との間のPN接合耐圧をワード線のゲート酸化膜の絶縁耐圧より低くなるように設定しておく。

このような構造にすれば、製造工程中にワード線6にたまった電荷は、ゲート酸化膜を破壊する以前に第2のN型不純物拡散領域3を通してP型半導体基板1へ逃げていくため、ワード線の帯電を抑え、ゲート酸化膜の絶縁破壊を防ぐことができる。しかし、この方法だとメモリセルアレイ領

-5-

め広い面積にわたってヒ素のイオンが注入されるとともにその結果生じた電界がゲート酸化膜のいちばん弱い部分にかかって絶縁破壊が発生しやすくなっている。更に、メモリセルアレイ領域内に於いては、メモリセルの容量の対極となる多結晶シリコン膜等の導体層が存在することにより、構造が複雑になって形状的な原因によりゲート酸化膜の絶縁破壊を起りやすくしている。これには、たとえば、部分的にゲート酸化膜のうすくなる部分ができることによる絶縁耐圧の劣化等が考えられる。

〔発明が解決しようとする課題〕

上述した製造工程中のワード線の帯電によるゲート酸化膜の絶縁破壊を防ぐために、ワード線にたまった電荷を半導体基板へ逃がすような経路を設けることが行なわれている。その状態を示したDRAMの平面図が第4図(a)であり、メモリセルアレイ領域の外縁部を示している。また第4図(a)のC-C線断面図が第4図(b)である。

-4-

域の外側に第2のN型不純物拡散領域を設けなければならないので、半導体記憶装置の集積化を防げるという問題がある。

〔課題を解決するための手段〕

本発明は前記問題点を解決することを目的としてなされたもので、一導電型の半導体基板上に、前記半導体基板とは反対導電型の第1の不純物拡散領域により形成されたメモリセルを複数個、行列状に配列したメモリセルアレイ領域を有し、前記メモリセルアレイ領域内に、一方向に延在する複数のワード線と、前記ワード線に直交する方向に延在する複数のデータ線とを設けた半導体記憶装置に於いて、前記メモリセルアレイ領域の外側に、前記メモリセルを形成する第1の不純物拡散領域と同一導電型で且つ、前記第2の不純物拡散領域とはほぼ同一の形状をした第2の不純物拡散領域を前記第2の不純物拡散領域に隣接するように設けるとともに、前記第2の不純物拡散領域と前記ワード線とを接続したというものである。

〔実施例〕

-6-

次に、本発明について図面を参照して説明する。

第1図(a)は本発明の第1の実施例を示す平面図、第1図(b)は第1図(a)のA-A線断面図である。

第4図に示した従来例との差は、メモリセルアレ領域の外側に、メモリセルを形成する第1のN型不純物拡散領域とほぼ同一の形状をした第2のN型不純物拡散層3-1a、3-1b、3-2a、3-2bが設けられていること、これらの第2のN型不純物拡散層がそれぞれ別々にワード線に接続されていることにある。

次に、この実施例の製造方法について説明する。

第2図(a)～(d)は本発明の第1の実施例の製造方法を説明するための工程順断面図である。

まず、第2図(a)に示すように、シリコンからなるP型半導体基板の表面を選択的に酸化して酸化シリコン膜4(フィールド酸化膜)で素子形

- 7 -

除去したのち酸化を行ないゲート酸化膜を形成する。

次に、第2図(d)に示すように、コンタクト穴領域Cにコンタクト穴8を形成したのち、多結晶シリコン膜6を被着し、パターニングを行ないワード線を形成し、このワード線、酸化シリコン膜4をマスクにしてイオン注入を行ないnMOSトランジスタのソース・ドレイン領域を形成する。必要な熱処理を行ない、第1図に示すように、層間絶縁膜を形成し、多結晶シリコン膜7を被着し、パターニングしてデータ線を形成する。

このnMOSトランジスタのソース・ドレイン領域形成時のイオン注入工程において、ワード線が第2のN型不純物拡散領域に接続されているので、ゲート酸化膜の破壊が防止される。

元来、メモリセルアレ領域の最外縁部には隣接パターンがないことにより、メモリセルアレ領域の内部と比較すると特異な状態となっており、この結果、でき上がり寸法にバラツキが生じてくる。第1のN型不純物拡散領域2-1の左側

- 9 -

成領域21、22、ダミー拡散層形成領域31a、31b、32a、32bを区画する。素子形成領域21、22は同一形状を有しているが、位置をずらして互いに千鳥に配置されている。ダミー拡散層形成領域31a、31bは素子形成領域21を2分割した形状を有し、ダミー拡散層形成領域32a、32bは素子形成領域22を2分割した形状を有している。

次に、第2図(b)に示すように、素子形成領域21、22の幅の狭い部分をフォトレジスト膜10で覆い、このフォトレジスト膜10、酸化シリコン膜4をマスクとしてイオン注入を行ない、第1のN型不純物拡散層2-1、2-2、第2のN型不純物拡散層3-1a、3-1b、3-2a、3-2bを形成する。

次に、第2図(c)に示すように、フォトレジスト膜を除去したのち、多結晶シリコン膜5を被着し、選択的に除去してトランジスタ形成領域M及びコンタクト穴領域Cを形成する。M、C部分のフィールド酸化膜以外の薄い酸化シリコン膜を

- 8 -

には更に同一のパターンがくり返えされており、第1のN型不純物領域2-2がメモリセルアレ領域の本来の最外縁部のパターンである。この時、第1のN型不純物領域2-2は隣接パターンが存在しないことにより、たとえば素子分離のための酸化膜の出来上りの厚さがメモリセル領域内部と異なる等の理由からパターンの寸法が異ってくる。最外縁部のパターン幅は、内側のパターン幅より小さくなる傾向があり、第1のN型不純物拡散領域2-2により形成されたメモリセルの容量が小さくなり結果として半導体記憶装置の動作マージンの悪化をもたらしてしまう。このようなパターンの出来上り寸法のバラツキを防ぐためには、メモリセルアレ領域の最外縁部の外側に同一形状のダミーパターンを設けなければならない。つまり、第1のN型不純物拡散領域2-2をメモリセルアレ領域の最外縁のパターンとし、その外側に実際のメモリセルとしては機能しないダミーパターン(3-1a、3-1b、3-2a、3-2b等)を配置するのである。

- 10 -

本発明では、メモリセルの容量の均一性を確保するためのダミー・パターンを、ワード線にたまった電荷を逃がすためのN型不純物領域として利用するので、ゲート酸化膜の絶縁破壊防止のために更に余分のN型不純物領域を設ける必要がない。いいかえると、必要最小限の集積度の低下を許容することにより、メモリセルの容量の均一化及びゲート絶縁膜の絶縁破壊の防止を同時に達成することができる。

第3図は本発明の第2の実施例を示した平面図であり、第4図は第3図のB-B線断面図である。

近年、半導体記憶装置の大容量化、高集積化が進むに従い、メモリセルアレイ領域内に延在するワード線は長く、且つ細くなってその抵抗の増大による信号の遅延が問題となっている。このため、最近では、前記ワード線と平行に、アルミニウム等の低抵抗金属配線を設け、メモリセルアレイ領域内に於いて、所定の距離毎にワード線と電気的に接続することで、ワード線の信号の遅延を

- 11 -

〔発明の効果〕

以上説明したように本発明は、一導電型の半導体基板上に前述の半導体基板とは反対導電型の第1の不純物拡散領域により形成されたメモリセルを複数個、行列状に配列したメモリセルアレイ領域を有し、前述のメモリセルアレイ領域内に、一方向に延在する複数のワード線と、前記ワード線に直交する方向に延在する複数のデータ線とを設けた半導体記憶装置に於いて、前述のメモリセルアレイ領域の外側に、前述のメモリセルを形成する第1の不純物拡散領域と同一導電型で、且つ、前述の第1の不純物拡散領域とほぼ同一の形状をした第2の不純物拡散領域を前述の第1の不純物拡散領域に隣接するように設けるとともに、前述の第2の不純物拡散領域と、前述のワード線とを接続することにより、半導体記憶装置の集積化への影響を最小限に抑えて前述のワード線のゲート絶縁膜の絶縁破壊を防ぐとともに、メモリセルアレイ領域の外縁部に設けられたメモリセルを形成する第1の不純物拡散領域の出来上り形状のバラ

- 13 -

防いでいる。第3図はそのような半導体記憶装置のメモリセルアレイ領域内に設けられたワード線と低抵抗金属配線（アルミニウム配線）との接続部を示した平面図である。

第3図に於いてワード線6とアルミニウム配線9との接続部下の半導体基板表面に第2のN型不純物領域を配置したもので、そこでワード線6、アルミニウム配線、第2のN型不純物領域の3者を接続している。そして、この結果ワード線と低抵抗金属配線との接続部に存在していた第1のN型不純物領域2のパターンのすき間を第2のN型不純物領域3のパターンが埋めることとなり、この接続部に接していた第1のN型不純物領域2の出来上り寸法のバラツキを抑えることができる。

なお、本発明に関する以上の説明に於いて、メモリセルの構造としてプレーナ型メモリセルを用いてきたが、プレーナ型メモリセル以外の構造、たとえばトレンチ型メモリセルやスタック型メモリセルにより構成された半導体記憶装置に関しても本発明を適用できることは明らかである。

- 12 -

ツキを抑え動作マージンの悪化を防ぐ効果がある。

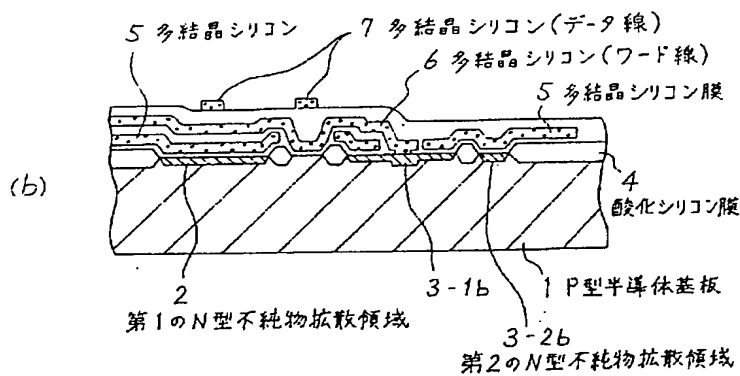
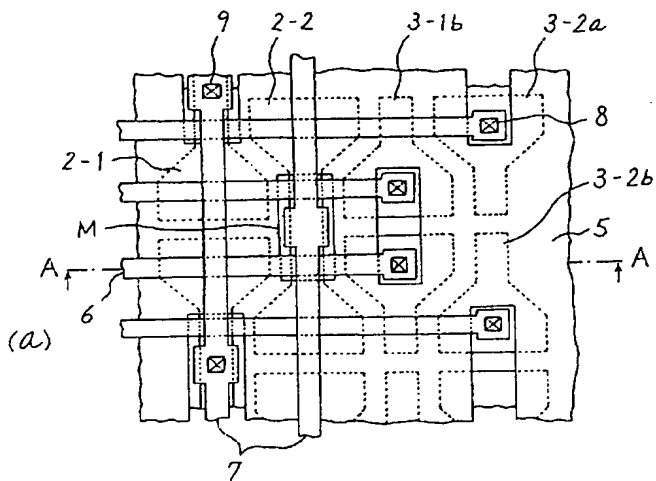
図面の簡単な説明

第1図(a)は本発明の第1の実施例を示した平面図、第1図(b)は第1図(a)のA-A線断面図、第2図(a)～(d)は第1の実施例の製造方法を説明するための工程順平面図、第3図(a)は本発明の第2の実施例を示した平面図、第3図(b)は第3図(a)のB-B線断面図、第4図(a)は従来の技術を示した平面図、第4図(b)は第4図(a)のC-C線断面図である。

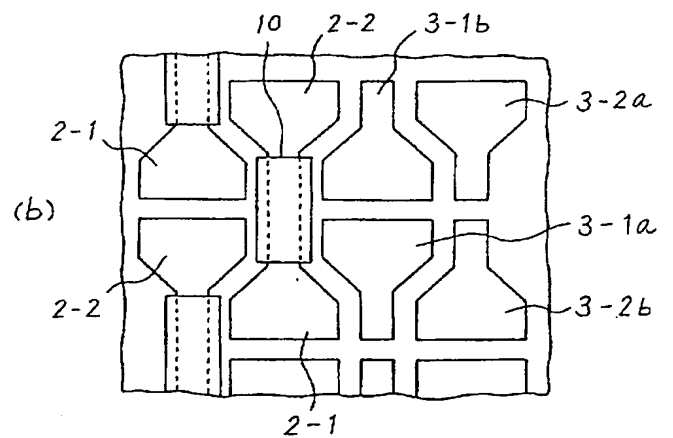
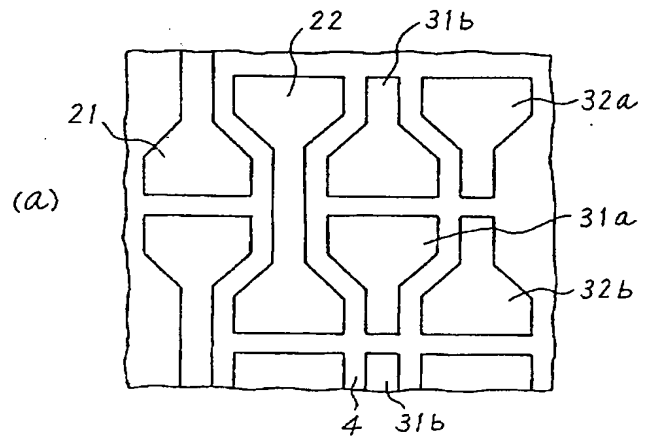
1…P型半導体基板、2、2-1、2-2…第1のN型不純物領域、3、3-1a、3-1b、3-2a、3-2b…第2のN型不純物拡散領域、4…酸化シリコン膜、5、6、7…多結晶シリコン膜、8、9…コンタクト孔、10…アルミニウム配線。

代理人 弁理士 内 原 晋

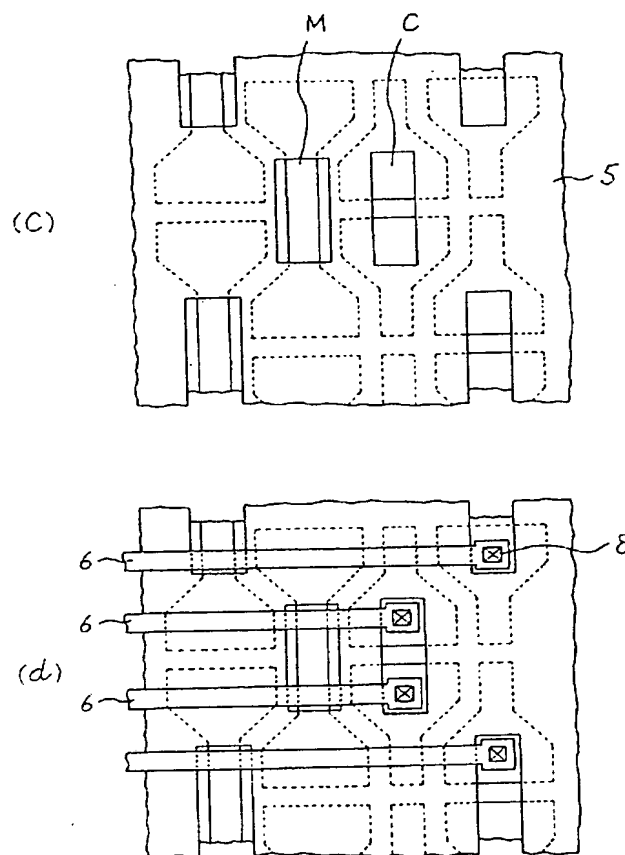
- 14 -



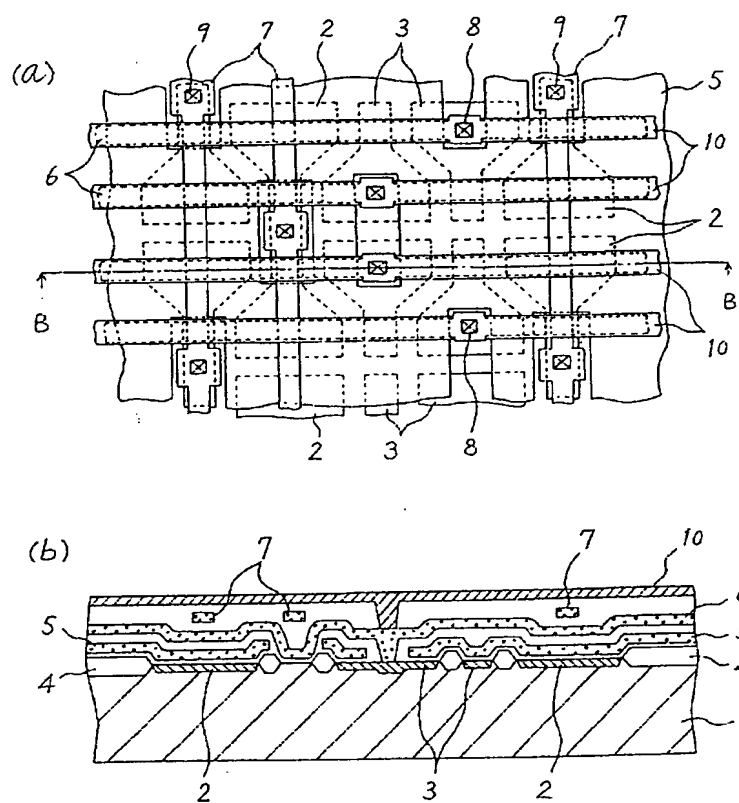
第 1 図



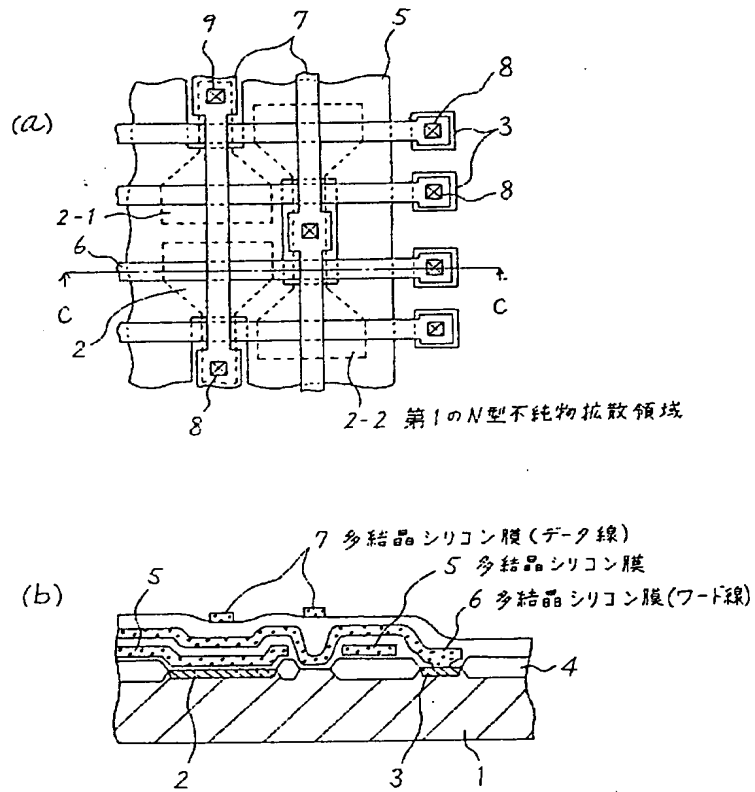
第 2 図



第 2 図



第 3 図



第4図